

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 60020398
PUBLICATION DATE : 01-02-85

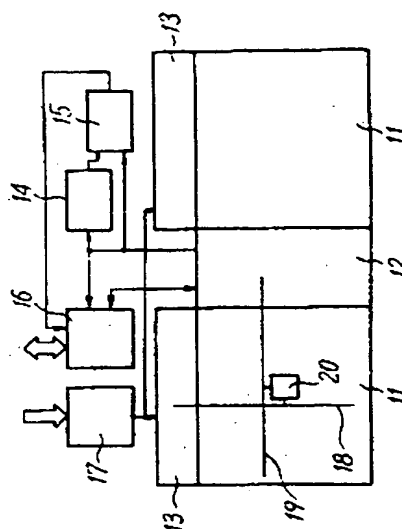
APPLICATION DATE : 14-07-83
APPLICATION NUMBER : 58128422

APPLICANT : NEC CORP;

INVENTOR : TERADA KAZUO;

INT.CL. : G11C 29/00 G11C 7/00

TITLE : MEMORY DEVICE



ABSTRACT : **PURPOSE:** To prevent the occurrence of a software error due to a radioactive particle by reading a nondestructive readout type memory cell, holding information temporarily and comparing with reread information, and reading the cell again and outputting information when the information is different.

CONSTITUTION: The information bit in a memory cell 20 in a nondestructive readout type memory cell array 11 is read out through a sense amplifier and stored in a temporary storing means 14, and the bit is compared with a reread information bit by a comparing means 15. A writing and reading control means 16 is controlled through the means 15; when the comparison result shows coincidence, the reread bit information is outputted and when not, the cell 20 is read again through the sense amplifier to output read bit information. The period of three-time sense amplifier operation is longer than the period wherein the influence of radioactive particles remain, so a software error due to the radioactive particle is prevented from occurring.

COPYRIGHT: (C)1985,JPO&Japio

THIS PAGE BLANK (USPTO)

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60—20398

⑤ Int. Cl.⁴
G 11 C 29/00
7/00

識別記号

庁内整理番号
7922—5B
6549—5B

⑬ 公開 昭和60年(1985)2月1日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ メモリ装置

東京都港区芝五丁目33番1号日
本電気株式会社内

① 特 願 昭58—128422

② 出 願 人 日本電気株式会社

② 出 願 昭58(1983)7月14日

東京都港区芝5丁目33番1号

⑦ 発 明 者 寺田和夫

④ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

(1) 非破壊読み出し型のメモリセルと、該メモリセル内に貯蔵された情報を読み出す手段と、該読み出し手段により読み出された情報を一時的に保管する手段と、該保管手段に保管された情報と前記読み出し手段により読み出された情報とを比較する手段と、前記比較される2情報が同じときにはその情報を、比較される2情報が異なるときには前記メモリセル内に貯蔵された情報をもう一度前記読み出し手段に読み出し、それを出力すべき情報とする手段とを備えたことを特徴とするメモリ装置。

3. 発明の詳細な説明

本発明は高集積・高密度化してもアルファ粒子などの放射性粒子によつて引き起されるソフトエラーの発生が少ないメモリ装置に関するものである。

アルファ粒子などの放射性粒子によつて引き起されるソフトエラーは半導体メモリ装置が高集積・高密度化されるに従い重大な問題になる。放射性粒子が半導体内部に入射すると、半導体内部には多量の電荷が生成され、これらが半導体内部の電極に流入し、その電極の電位を変化させ、その結果記憶情報を破壊するわけである。半導体内部電極が扱う電荷量が大きい時には、このような内部生成電荷の流入の影響は小さく記憶情報を破壊することは少ない。しかし半導体メモリ装置が高集積・高密度化されると、半導体内部電極が扱う電荷量が減少するため、このソフトエラーの問題が重大となるのである。

従来の半導体メモリ装置では、半導体内部の電極構造を改良し、放射性粒子によつて生成される電荷のこの電極への流入を少なくすること、この電極の扱う電荷量を流入電荷量以上に保つこととによつてソフトエラーを防いでいた。しかし半導体内部電極へ流入する電荷量を減らすことには限界があるため、このような方法では、半導体内部

電極の扱う電荷量を一定以上に保つ必要があり、高密度化に限界が生じていた。さらにこのような方法では消費電力や動作時間を減らすことも難しく、そのため高集積化、高速化には限界があつた。

以上は半導体メモリ装置内のセンスアンプ部にももちろんあてはまる。通常の半導体メモリ装置では高速、且つ低消費電力化するためセンスアンプ部にダイナミック差動増幅器が用いられる。ところがダイナミック差動増幅器でソフトエラーを生じにくくするためには、ダイナミックの差動増幅器の節点容量を増大させることが必要であるが、この場合、センスアンプ感度が減少する、パワーが増大する、動作速度が低下するなどいろいろな問題が生じていた。さらにこれらの問題は、メモリ装置の高密度化、高集積化が行なわれてメモリセル自体が小型化されるに伴つて増大する。

本発明の目的はアルファ線などの放射性粒子によつて引き起されるソフトエラー、特にセンスアンプ部で生じるソフトエラーの発生が極めて少なく、そのためにこの部分のソフトエラーを防ぐ対

策によつて高集積化・高密度化が制限されることの少ないメモリ装置を提供することである。

本発明によるメモリ装置は、非破壊読み出し型のメモリセルと、該メモリセル内に貯蔵された情報を読み出す手段と、該読み出し手段により読み出された情報を一時的に保管する手段と、該保管手段により保管された情報と前記読み出し手段により読み出された情報とを比較する手段と、前記比較される二情報が同じときにはその情報を、比較される二情報が異なるときには前記メモリセル内に貯蔵された情報をもう一度前記読み出し手段に読み出しそれを出力すべき情報とする手段とを備えたことを特徴とするものである。

次に、図を参照しながら、本発明のメモリ装置の動作原理および効果を説明する。第1図は本発明のメモリ装置の構成の一例を示したブロック図である。図中、11は非破壊読み出し型のメモリセルアレイ、12は、該メモリセル内に貯蔵された情報を読み出すためのセンスアンプとメモリセル内に情報を書き込むためのビット線ドライバとアド

レスデコーダとよりなるブロック、13はワード線ドライバとアドレスデコーダとよりなるブロック、14は上記センスアンプによつて読み出された情報を一時的に保管する手段で、例えば α 粒子の影響を受けない程度に大きい容量のフリップフロップなどからなっている。15は該保管手段14に保管された情報と前記センスアンプにより読み出された情報とを比較する手段、16は書き込み読み出し制御を行なう手段、17はアドレスパツファである。書き込み読み出し制御手段16は、比較手段15によつて比較された2情報が同じときにはその情報を、異なるときにはもう一度読み出し動作を行ないその読み出し情報を、出力すべき情報とする。上記の各手段はいずれも公知の回路で組むことができる。

実施例において、読み出し動作は次のように行なう。

(1) アドレス情報に従い1本のワード線18を活性化し、このワード線18につながつたメモリセル20内の情報を各ビット線19につながつたセン

スアンプにより読み出す。(第1図では、複数のあるワード線メモリセル、ビット線のうち1つを例示している)

(2) センスアンプまで読み出した情報をアドレス情報に従い1ビットだけ遊び、一時的情報保管手段14へ送る。

(3) (1)の動作をくり返しもう一度メモリセル20内の情報をセンスアンプに読み出す。

(4) センスアンプまで読み出した情報をアドレス情報に従い1ビットだけ遊び比較手段15と書き込み読み出し制御手段16とへ送り、同時に一時的保管手段14に貯蔵されている情報を比較手段15へ送る。

(5) 比較手段15の比較の結果、両情報が同じ時、書き込み読み出し制御手段は(4)において書き込み読み出し制御手段16へ送られた情報を出力し、両情報が異なる時には書き込み読み出し制御手段で、(1)の動作をくり返し、再びメモリセル内の情報をセンスアンプに読み出し、さらにその情報をアドレス情報に従い1ビットだけ遊び

び書き込み読み出し制御手段へ送り、その情報を出力する。

上記のようなメモリ装置のセンスアンプの動作時間は通常 10^{-7} 〜 10^{-8} 秒程度である。これに対し、 α 粒子等の放射性粒子によつて発生した電荷の影響の及ぶ範囲は通常 $10\mu\text{m}$ のオーダーであり、その影響が大きい期間は 10^{-9} 秒以下の短い時間である。さらに α 粒子等放射性粒子が半導体メモリ装置内に入射する確率はよいパッケージ材料(例えば、純度の高いアルミニウム材)やしやへい材(例えば、シリコン樹脂、ポリイミド樹脂など)を使えば1cmあたり1,000時間に1つと小さい。

以上のことから、本発明のメモリ装置のセンスアンプが3回動作したとき、そのうち2回の動作において α 粒子等によるソフトエラーが生じる確率は極めて小さく、ほとんど無視できる。そのため、本発明のメモリ装置では、センスアンプ部で生じるソフトエラーによつて誤まつた情報が出力されることがほとんどない。さらに1つのビットに2つのメモリセルを使うなどして、メモリセル

部で生じるソフトエラーも修正するようにすれば、メモリ装置内で生じるソフトエラーをほとんど除くことができる。

本発明のメモリ装置では、1回の読み出し動作に対して最大3回くり返してセンスアンプを動作させる必要がある。そのため読み出しに必要な時間(アクセス時間)は、1回の読み出し動作に1回しかセンスアンプを動作させない従来のメモリ装置よりも多く必要である。しかし、本発明のメモリ装置では、その構成要素の最大寸法を縮小することによつて高密度化しても α 粒子等の放射性粒子によるセンスアンプのソフトエラーはほとんど生ぜず、そのため、構成要素の小型化によるセンスアンプの高速化を図ることができ、ダイナミック型差動アンプをセンスアンプに使いセンスアンプの高速化を図ることによつて、上記の読み出しに要する時間(アクセス時間)のロスを実質上解消することができる。さらにセンスアンプ部の容量は小型化によつて減らすことができるため、消費電力も減らすことができる。

以上述べたように本発明のメモリ装置によれば、 α 線等放射性粒子によるセンスアンプ部でのソフトエラーをほとんど増やさずに、メモリ装置の小型化、低消費電力化を図り、従来のメモリ装置では限界にきていた高集積化をさらに進めることができる。

本発明のメモリ装置を説明するために、第1図の実施例を用いて説明したが、本発明はこれに限ることはない。例えば、一時的保管手段14と比較手段15とを各センスアンプに1つずつ用意することもできる。そのような本発明のメモリ装置の他の実施例を第2図に示す。

第2図は、センスアンプ、ビット線ドライバ、そしてアドレスデコードのブロックの中の1本のビット線に対応する部分の構成を示している。第2図中、14'15'19'はそれぞれ第1図の14,15,19に対応する、一時的保管手段、比較手段、ビット線を示す。21はセンスアンプとビット線ドライバ、22はアドレスデコード、23は第1図16に対応する書き込み読み出し制御手段へつながる配線を示す。

第2図の実施例では、一時的保管手段14'と比較手段15'へ送られる情報はアドレスデコードを経る必要がないため、その分だけさらに読み出し動作を高速化できる。また、リフレッシュが必要なダイナミックメモリセルを使う場合には、センスアンプとビット線ドライバ21にリフレッシュの機能を追加することにより、リフレッシュ時にセンスアンプで生じるソフトエラーを防ぐことができる。

4. 図面の簡単な説明

第1図は本発明のメモリ装置の構成の一例を示したブロック図、第2図は本発明のメモリ装置の他の実施例のセンスアンプ、ビット線ドライバそしてアドレスデコードのブロックの中の1本のビット線に対応する部分の構成を示すブロック図である。

11…非破壊読み出し型メモリセルアレイ、12…センスアンプ、ビット線ドライバそしてアドレスデコードのブロック、13…ワード線ドライバとアドレスデコードのブロック、14,14'…一時的保管手

段、15,15'…比較手段、16…書き込み読み出し制御手段、17…アドレスパツファ

特許出願人 日本電気株式会社

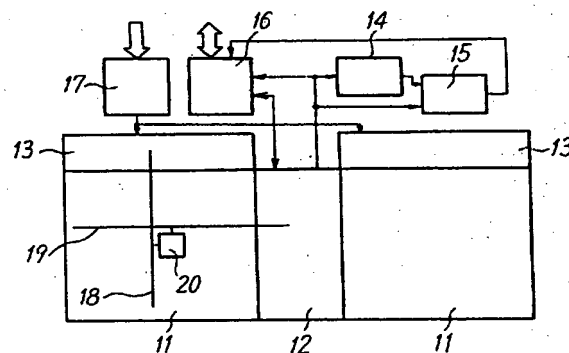
代理人 弁理士

内 原

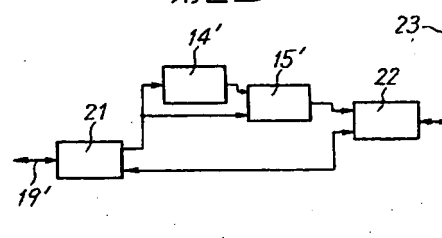
晋



第1図



第2図



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60—20398

⑬ Int. Cl.⁴
G 11 C 29/00
7/00

識別記号

庁内整理番号
7922—5B
6549—5B

⑭ 公開 昭和60年(1985)2月1日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ メモリ装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭58—128422

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭58(1983)7月14日

東京都港区芝5丁目33番1号

⑲ 発 明 者 寺田和夫

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

(1) 非破壊読み出し型のメモリセルと、該メモリセル内に貯蔵された情報を読み出す手段と、該読み出し手段により読み出された情報を一時的に保管する手段と、該保管手段に保管された情報と前記読み出し手段により読み出された情報とを比較する手段と、前記比較される2情報が同じときにはその情報を、比較される2情報が異なるときには前記メモリセル内に貯蔵された情報をもう一度前記読み出し手段に読み出し、それを出力すべき情報とする手段とを備えたことを特徴とするメモリ装置。

3. 発明の詳細な説明

本発明は高集積・高密度化してもアルファ粒子などの放射性粒子によつて引き起されるソフトエラーの発生が少ないメモリ装置に関するものである。

アルファ粒子などの放射性粒子によつて引き起されるソフトエラーは半導体メモリ装置が高集積・高密度化されるに従い重大な問題になる。放射性粒子が半導体内部に入射すると、半導体内部には多量の電荷が生成され、これらが半導体内部の電極に流入し、その電極の電位を変化させ、その結果記憶情報を破壊するわけである。半導体内部電極が扱う電荷量が多い時には、このような内部生成電荷の流入の影響は小さく記憶情報を破壊することは少ない。しかし半導体メモリ装置が高集積・高密度化されると、半導体内部電極が扱う電荷量が減少するため、このソフトエラーの問題が重大となるのである。

従来の半導体メモリ装置では、半導体内部の電極構造を改良し、放射性粒子によつて生成される電荷のこの電極への流入を少なくすること、この電極の扱う電荷量を流入電荷量以上に保つこととによつてソフトエラーを防いでいた。しかし半導体内部電極へ流入する電荷量を減らすことには限界があるため、このような方法では、半導体内部

電極の扱う電荷量を一定以上に保つ必要があり、高密度化に限界が生じていた。さらにこのような方法では消費電力や動作時間を減らすことも難しく、そのため高集積化、高速化には限界があつた。

以上は半導体メモリ装置内のセンスアンプ部にももちろんあてはまる。通常の半導体メモリ装置では高速、且つ低消費電力化するためセンスアンプ部にダイナミック差動増幅器が用いられる。ところがダイナミック差動増幅器でソフトエラーを生じにくくするためには、ダイナミックの差動増幅器の節点容量を増大させることが必要であるが、この場合、センスアンプ感度が減少する、パワーが増大する、動作速度が低下するなどいろいろな問題が生じていた。さらにこれらの問題は、メモリ装置の高密度化、高集積化が行なわれてメモリセル自体が小型化されるに伴つて増大する。

本発明の目的はアルファエラーなどの放射性粒子によつて引き起されるソフトエラー、特にセンスアンプ部で生じるソフトエラーの発生が極めて少なく、そのためにこの部分のソフトエラーを防ぐ対

策によつて高集積化・高密度化が制限されることの少ないメモリ装置を提供することである。

本発明によるメモリ装置は、非破壊読み出し型のメモリセルと、該メモリセル内に貯蔵された情報を読み出す手段と、該読み出し手段により読み出された情報を一時的に保管する手段と、該保管手段により保管された情報と前記読み出し手段により読み出された情報とを比較する手段と、前記比較される二情報が同じときにはその情報を、比較される二情報が異なるときには前記メモリセル内に貯蔵された情報をもう一度前記読み出し手段に読み出しそれを出力すべき情報とする手段とを備えたことを特徴とするものである。

次に、図を参照しながら、本発明のメモリ装置の動作原理および効果を説明する。第1図は本発明のメモリ装置の構成の一例を示したブロック図である。図中、11は非破壊読み出し型のメモリセルアレイ、12は、該メモリセル内に貯蔵された情報を読み出すためのセンスアンプとメモリセル内に情報を書き込むためのビット線ドライバとアド

レスデコーダとよりなるブロック、13はワード線ドライバとアドレスデコーダとよりなるブロック、14は上記センスアンプによつて読み出された情報を一時的に保管する手段で、例えば α 粒子の影響を受けない程度に大きい容量のフリップフロップなどからなつてゐる。15は該保管手段14に保管された情報と前記センスアンプにより読み出された情報とを比較する手段、16は書き込み読み出し制御を行なう手段、17はアドレスパツファである。書き込み読み出し制御手段16は、比較手段15によつて比較された2情報が同じときにはその情報を、異なるときにはもう一度読み出し動作を行ないその読み出し情報を、出力すべき情報とする。上記の各手段はいずれも公知の回路で組むことができる。

実施例において、読み出し動作は次のように行なう。

- (1) アドレス情報に従い1本のワード線18を活性化し、このワード線18につながつたメモリセル20内の情報を各ビット線19につながつたセン

スアンプにより読み出す。(第1図では、複数個あるワード線メモリセル、ビット線のうち1つを例示している)

- (2) センスアンプまで読み出した情報をアドレス情報に従い1ビットだけ選び、一時的情報保管手段14へ送る。

- (3) (1)の動作をくり返しもう一度メモリセル20内の情報をセンスアンプに読み出す。

- (4) センスアンプまで読み出した情報をアドレス情報に従い1ビットだけ選び比較手段15と書き込み読み出し制御手段16とへ送り、同時に一時的保管手段14に貯蔵されている情報を比較手段15へ送る。

- (5) 比較手段15の比較の結果、両情報が同じ時、書き込み読み出し制御手段は(4)において書き込み読み出し制御手段16へ送られた情報を出力し、両情報が異なる時には書き込み読み出し制御手段で、(1)の動作をくり返し、みたびメモリセル内の情報をセンスアンプに読み出し、さらにその情報をアドレス情報に従い1ビットだけ選ら

び書き込み読み出し制御手段へ送り、その情報を出力する。

上記のようなメモリ装置のセンスアンプの動作時間は通常 $10^{-7} \sim 10^{-8}$ 秒程度である。これに対し、 α 粒子等の放射性粒子によつて発生した電荷の影響の及ぶ範囲は通常 $10 \mu\text{m}$ のオーダーであり、その影響が大きい期間は 10^{-9} 秒以下の短い時間である。さらに α 粒子等放射性粒子が半導体メモリ装置内に入射する確率はよいパッケージ材料（例えば、純度の高いアルミニウム材）やしゃへい材（例えば、シリコン樹脂、ポリイミド樹脂など）を使えば1辺あたり1,000時間1つと小さい。

以上のことから、本発明のメモリ装置のセンスアンプが3回動作したとき、そのうち2回の動作において α 粒子等によるソフトエラーが生じる確率は極めて小さく、ほとんど無視できる。そのため、本発明のメモリ装置では、センスアンプ部で生じるソフトエラーによつて誤まつた情報が出力されることがほとんどない。さらに1つのビットに2つのメモリセルを使うなどして、メモリセル

部で生じるソフトエラーも修正するようにすれば、メモリ装置内で生じるソフトエラーをほとんど除くことができる。

本発明のメモリ装置では、1回の読み出し動作に対して最大3回くり返してセンスアンプを動作させる必要がある。そのため読み出しに必要な時間（アクセス時間）は、1回の読み出し動作に1回しかセンスアンプを動作させない従来のメモリ装置よりも多く必要である。しかし、本発明のメモリ装置では、その構成要素の最大寸法を縮小することによつて高密度化しても α 粒子等の放射性粒子によるセンスアンプのソフトエラーはほとんど生ぜず、そのため、構成要素の小型化によるセンスアンプの高速化を図ることができ、ダイナミック型差動アンプをセンスアンプに使いセンスアンプの高速化を図ることによつて、上記の読み出しに要する時間（アクセス時間）のロスを実質上解消することができる。さらにセンスアンプ部の容量は小型化によつて減らすことができるため、消費電力も減らすことができる。

以上述べたように本発明のメモリ装置によれば、 α 線等放射性粒子によるセンスアンプ部でのソフトエラーをほとんど増やさずに、メモリ装置の小型化、低消費電力化を図り、従来のメモリ装置では限界にきていた高集積化をさらに進めることができる。

本発明のメモリ装置を説明するために、第1図の実施例を用いて説明したが、本発明はこれに限ることはない。例えば、一時的保管手段14と比較手段15とを各センスアンプに1つずつ用意することもできる。そのような本発明のメモリ装置の他の実施例を第2図に示す。

第2図は、センスアンプ、ビット線ドライバ、そしてアドレスデコーダのブロックの中の1本のビット線に対応する部分の構成を示している。第2図中、14'、15'、19'はそれぞれ第1図の14、15、19に対応する。一時的保管手段、比較手段、ビット線を示す。21はセンスアンプとビット線ドライバ、22はアドレスデコーダ、23は第1図16に対応する書き込み読み出し制御手段へつながる配線を示す。

第2図の実施例では、一時的保管手段14'と比較手段15'へ送られる情報はアドレスデコーダを経る必要がないため、その分だけさらに読み出し動作を高速化できる。また、リフレッシュが必要なダイナミックメモリセルを使つた場合には、センスアンプとビット線ドライバ21にリフレッシュの機能を追加することにより、リフレッシュ時にセンスアンプで生じるソフトエラーを防ぐことができる。

4. 図面の簡単な説明

第1図は本発明のメモリ装置の構成の一例を示したブロック図、第2図は本発明のメモリ装置の他の実施例のセンスアンプ、ビット線ドライバそしてアドレスデコーダのブロックの中の1本のビット線に対応する部分の構成を示すブロック図である。

11…非破壊読み出し型メモリセルアレイ、12…センスアンプ、ビット線ドライバそしてアドレスデコーダのブロック、13…ワード線ドライバとアドレスデコーダのブロック、14、14'…一時的保管手

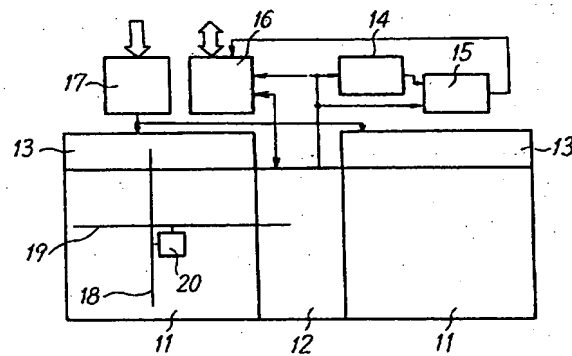
段、15,15'…比較手段、16…書き込み読み出し制
御手段、17…アドレスパツファ

特許出版人 日本電気株式会社

代理人 井田士 内 原 晋



第1図



第2図

